

PROGRAMMA DEL CORSO DI ARCHITETTURE E RETI DI CALCOLATORI

SETTORE SCIENTIFICO

ING-INF/05

CFU

9

AGENDA

/**/

Modalità di iscrizione e di gestione dei rapporti con gli studenti:

L'iscrizione ed i rapporti con gli studenti sono gestiti mediante la piattaforma informatica che permette l'iscrizione ai corsi, la fruizione delle lezioni, la partecipazione a forum e tutoraggi, il download del materiale didattico e la comunicazione con il docente.

Un tutor assisterà gli studenti nello svolgimento di queste attività.

Attività di didattica erogativa (DE):

54 Videolezioni + 54 test di autovalutazione

PROGRAMMA DIDATTICO

- 1 - Introduzione alla progettazione dei computer
- 2 - La gerarchia dei linguaggi di programmazione e i registri
- 3 - Le istruzioni aritmetiche dell'assembly mips
- 4 - Notazione posizionale pesata
- 5 - Notazione in complemento a 2
- 6 - Proprietà della notazione in complemento a 2
- 7 - Formato di tipo r per add e sub e indirizzamento tramite registro
- 8 - Le istruzioni logiche e di shift
- 9 - Formato di tipo i per addi e indirizzamento immediato
- 10 - Istruzioni lw e sw assembly mips e indirizzamento tramite base e offset

- 11 - Formato di tipo i per lw e sw e gestione del tipo di dato array
- 12 - Istruzioni di salto condizionato su uguaglianza e disuguaglianza
- 13 - Istruzione di salto incondizionato
- 14 - Traduzione in assembly mips della istruzione if-else e dei cicli for e while...
- 15 - Gestione della chiamata di procedura con le istruzioni jal e jr
- 16 - Istruzioni di confronto e interi unsigned
- 17 - Operandi immediati e costanti a 32 bit
- 18 - Codifica dei caratteri e tipi di dato carattere e stringa
- 19 - Istruzioni load e store per byte e half word, e tipi di dato interi
- 20 - Gestione dell'elemento di un array con indice variabile
- 21 - Esercizi sulla gestione degli array e delle stringhe in assembly mips
- 22 - Notazioni in virgola fissa e virgola mobile
- 23 - Standard ieee 754 per la virgola mobile in singola e doppia precisione
- 24 - Istruzioni mips in virgola mobile e notazioni ottale e esadecimale
- 25 - Compilatori e java virtual machine
- 26 - Algebra di boole e porte logiche
- 27 - Espressioni e funzioni booleane
- 28 - Rete combinatoria e funzione calcolata
- 29 - Sintesi di una rete combinatoria
- 30 - Multiplexer e decodificatore
- 31 - Sommatore completo e alu a un bit per and, or, add
- 32 - Alu a 32 bit per and, or, nor, add, sub
- 33 - Alu a 32 bit per beq e segnale di overflow
- 34 - Rete sequenziale e temporizzazione
- 35 - Introduzione alla implementazione della cpu dell'architettura mips
- 36 - Cpu mips: prelievo dell'istruzione e lettura dei registri
- 37 - Cpu mips: istruzioni aritmetico-logiche di tipo r
- 38 - Cpu mips: istruzioni di trasferimento dati lw e sw
- 39 - Cpu mips: istruzione di salto condizionato su uguaglianza beq
- 40 - Unita' di controllo mips a ciclo singolo

- 41 - Dispositivi di memorizzazione: latch e flip-flop
- 42 - Implementazione dei registri del processore
- 43 - Introduzione alle reti di calcolatori
- 44 - Accesso a internet
- 45 - Trasmissione dei dati in internet
- 46 - Ritardi nelle reti a commutazione di pacchetto
- 47 - Throughput nelle reti di calcolatori
- 48 - Internet: una rete di reti
- 49 - Architettura a livelli: suite di protocolli iso/osi e tcp/ip
- 50 - Incapsulamento nella suite dei protocolli internet
- 51 - Sicurezza in internet
- 52 - Valutazione delle prestazioni hardware di un computer
- 53 - Miglioramento delle prestazioni di un computer: gerarchia di memorie
- 54 - Miglioramento delle prestazioni di un computer: pipelining, multicore, gpu

-

-

MODALITÀ DI ESAME ED EVENTUALI VERIFICHE DI PROFITTO IN ITINERE

L'esame può essere sostenuto sia in forma scritta che in forma orale. Gli appelli orali sono previsti nella sola sede centrale di Roma. Gli esami scritti, invece, possono essere sostenuti sia nella sede centrale che nelle sedi periferiche.

L'esame orale consiste in un colloquio nel corso del quale il docente formula di solito tre domande. L'esame scritto consiste nello svolgimento di un test con 31 domande. Per ogni domanda lo studente deve scegliere una di 4 possibili risposte. Solo una risposta è corretta.

Sia le domande orali che le domande scritte sono formulate per valutare sia il grado di comprensione delle nozioni teoriche sia la capacità di ragionare utilizzando tali nozioni. Le domande sulle nozioni teoriche consentiranno di valutare il livello di comprensione. Le domande che richiedono l'elaborazione di un ragionamento consentiranno di valutare il

livello di competenza e l'autonomia di giudizio maturati dallo studente.

Le abilità di comunicazione e la capacità di apprendimento saranno valutate attraverso le interazioni dirette tra docente e studente che avranno luogo durante la fruizione del corso (videoconferenze ed elaborati proposti dal docente).

Modalità di iscrizione e di gestione dei rapporti con gli studenti

L'iscrizione ed i rapporti con gli studenti sono gestiti mediante la piattaforma informatica che permette l'iscrizione ai corsi, la fruizione delle lezioni, la partecipazione a forum e tutoraggi, il download del materiale didattico e la comunicazione con il docente.

Un tutor assisterà gli studenti nello svolgimento di queste attività.

Attività di didattica erogativa (DE)

54 Videolezioni + 54 test di autovalutazione

Impegno totale stimato: 54 ore

Attività di didattica interattiva (DI)

Redazione di un elaborato Partecipazione a web conference Svolgimento delle prove in itinere con feedback

Svolgimento della simulazione del test finale

Totale 9 ore

Attività di autoapprendimento

162 ore per lo studio individuale

Libro di riferimento

D.A. Patterson, J.L. Hennessy, "Struttura e progetto dei calcolatori", Zanichelli. J.F. Kurose, K.W. Ross, "Reti di calcolatori e Internet. Un approccio top-down", Pearson.

DESCRIZIONE

- 1 - Introduzione alla progettazione dei computer
- 2 - La gerarchia dei linguaggi di programmazione e i registri
- 3 - Le istruzioni aritmetiche dell'assembly mips
- 4 - Notazione posizionale pesata
- 5 - Notazione in complemento a 2
- 6 - Proprietà della notazione in complemento a 2
- 7 - Formato di tipo r per add e sub e indirizzamento tramite registro
- 8 - Le istruzioni logiche e di shift

- 9 - Formato di tipo i per addi e indirizzamento immediato
- 10 - Istruzioni lw e sw assembly mips e indirizzamento tramite base e offset
- 11 - Formato di tipo i per lw e sw e gestione del tipo di dato array
- 12 - Istruzioni di salto condizionato su uguaglianza e disuguaglianza
- 13 - Istruzione di salto incondizionato
- 14 - Traduzione in assembly mips della istruzione if-else e dei cicli for e while...
- 15 - Gestione della chiamata di procedura con le istruzioni jal e jr
- 16 - Istruzioni di confronto e interi unsigned
- 17 - Operandi immediati e costanti a 32 bit
- 18 - Codifica dei caratteri e tipi di dato carattere e stringa
- 19 - Istruzioni load e store per byte e half word, e tipi di dato interi
- 20 - Gestione dell'elemento di un array con indice variabile
- 21 - Esercizi sulla gestione degli array e delle stringhe in assembly mips
- 22 - Notazioni in virgola fissa e virgola mobile
- 23 - Standard ieee 754 per la virgola mobile in singola e doppia precisione
- 24 - Istruzioni mips in virgola mobile e notazioni ottale e esadecimale
- 25 - Compilatori e java virtual machine
- 26 - Algebra di boole e porte logiche
- 27 - Espressioni e funzioni booleane
- 28 - Rete combinatoria e funzione calcolata
- 29 - Sintesi di una rete combinatoria
- 30 - Multiplexer e decodificatore
- 31 - Sommatore completo e alu a un bit per and, or, add
- 32 - Alu a 32 bit per and, or, nor, add, sub
- 33 - Alu a 32 bit per beq e segnale di overflow
- 34 - Rete sequenziale e temporizzazione
- 35 - Introduzione alla implementazione della cpu dell'architettura mips
- 36 - Cpu mips: prelievo dell'istruzione e lettura dei registri
- 37 - Cpu mips: istruzioni aritmetico-logiche di tipo r
- 38 - Cpu mips: istruzioni di trasferimento dati lw e sw

- 39 - Cpu mips: istruzione di salto condizionato su uguaglianza beq
- 40 - Unita' di controllo mips a ciclo singolo
- 41 - Dispositivi di memorizzazione: latch e flip-flop
- 42 - Implementazione dei registri del processore
- 43 - Introduzione alle reti di calcolatori
- 44 - Accesso a internet
- 45 - Trasmissione dei dati in internet
- 46 - Ritardi nelle reti a commutazione di pacchetto
- 47 - Throughput nelle reti di calcolatori
- 48 - Internet: una rete di reti
- 49 - Architettura a livelli: suite di protocolli iso/osi e tcp/ip
- 50 - Incapsulamento nella suite dei protocolli internet
- 51 - Sicurezza in internet
- 52 - Valutazione delle prestazioni hardware di un computer
- 53 - Miglioramento delle prestazioni di un computer: gerarchia di memorie
- 54 - Miglioramento delle prestazioni di un computer: pipelining, multicore, gpu

PROVA

- 1 - ARCHITETTURE E RETI DI CALCOLATORI
- 2 - INTRODUZIONE ALLA PROGETTAZIONE DEI COMPUTER
- 3 - LA GERARCHIA DEI LINGUAGGI DI PROGRAMMAZIONE E I REGISTRI
- 4 - LE ISTRUZIONI ARITMETICHE DELL'ASSEMBLY MIPS
- 5 - NOTAZIONE POSIZIONALE PESATA
- 6 - NOTAZIONE IN COMPLEMENTO A 2
- 7 - PROPRIETA' DELLA NOTAZIONE IN COMPLEMENTO A 2
- 8 - FORMATO DI TIPO R PER ADD E SUB E INDIRIZZAMENTO TRAMITE REGISTRO
- 9 - LE ISTRUZIONI LOGICHE E DI SHIFT
- 10 - FORMATO DI TIPO I PER ADDI E INDIRIZZAMENTO IMMEDIATO
- 11 - ISTRUZIONI LW E SW ASSEMBLY MIPS E INDIRIZZAMENTO TRAMITE BASE E OFFSET

- 12 - FORMATO DI TIPO I PER LW E SW E GESTIONE DEL TIPO DI DATO ARRAY
- 13 - ISTRUZIONI DI SALTO CONDIZIONATO SU UGUAGLIANZA E DISUGUAGLIANZA
- 14 - ISTRUZIONE DI SALTO INCONDIZIONATO
- 15 - TRADUZIONE IN ASSEMBLY MIPS DELLA ISTRUZIONE IF-ELSE E DEI CICLI FOR E WHILE
- 16 - GESTIONE DELLA CHIAMATA DI PROCEDURA CON LE ISTRUZIONI JAL E JR
- 17 - ISTRUZIONI DI CONFRONTO E INTERI UNSIGNED
- 18 - OPERANDI IMMEDIATI E COSTANTI A 32 BIT
- 19 - CODIFICA DEI CARATTERI E TIPI DI DATO CARATTERE E STRINGA
- 20 - ISTRUZIONI LOAD E STORE PER BYTE E HALF WORD, E TIPI DI DATO INTERI
- 21 - GESTIONE DELL'ELEMENTO DI UN ARRAY CON INDICE VARIABILE
- 22 - ESERCIZI SULLA GESTIONE DEGLI ARRAY E DELLE STRINGHE IN ASSEMBLY MIPS
- 23 - NOTAZIONI IN VIRGOLA FISSA E VIRGOLA MOBILE
- 24 - STANDARD IEEE 754 PER LA VIRGOLA MOBILE IN SINGOLA E DOPPIA PRECISIONE
- 25 - ISTRUZIONI MIPS IN VIRGOLA MOBILE E NOTAZIONI OTTALE E ESADECIMALE
- 26 - COMPILATORI E JAVA VIRTUAL MACHINE
- 27 - ALGEBRA DI BOOLE E PORTE LOGICHE
- 28 - ESPRESSIONI E FUNZIONI BOOLEANE
- 29 - RETE COMBINATORIA E FUNZIONE CALCOLATA
- 30 - SINTESI DI UNA RETE COMBINATORIA
- 31 - MULTIPLEXER E DECODIFICATORE
- 32 - SOMMATORE COMPLETO E ALU A UN BIT PER AND, OR, ADD
- 33 - ALU A 32 BIT PER AND, OR, NOR, ADD, SUB
- 34 - ALU A 32 BIT PER BEQ E SEGNALE DI OVERFLOW
- 35 - RETE SEQUENZIALE E TEMPORIZZAZIONE
- 36 - INTRODUZIONE ALLA IMPLEMENTAZIONE DELLA CPU DELL'ARCHITETTURA MIPS
- 37 - CPU MIPS: PRELIEVO DELL'ISTRUZIONE E LETTURA DEI REGISTRI
- 38 - CPU MIPS: ISTRUZIONI ARITMETICO-LOGICHE DI TIPO R
- 39 - CPU MIPS: ISTRUZIONI DI TRASFERIMENTO DATI LW E SW
- 40 - CPU MIPS: ISTRUZIONE DI SALTO CONDIZIONATO SU UGUAGLIANZA BEQ
- 41 - UNITA' DI CONTROLLO MIPS A CICLO SINGOLO

- 42 - DISPOSITIVI DI MEMORIZZAZIONE: LATCH E FLIP-FLOP
- 43 - IMPLEMENTAZIONE DEI REGISTRI DEL PROCESSORE
- 44 - INTRODUZIONE ALLE RETI DI CALCOLATORI
- 45 - ACCESSO A INTERNET
- 46 - TRASMISSIONE DEI DATI IN INTERNET
- 47 - RITARDI NELLE RETI A COMMUTAZIONE DI PACCHETTO
- 48 - THROUGHPUT NELLE RETI DI CALCOLATORI
- 49 - INTERNET: UNA RETE DI RETI
- 50 - ARCHITETTURA A LIVELLI: SUITE DI PROTOCOLLI ISO/OSI E TCP/IP
- 51 - INCAPSULAMENTO NELLA SUITE DEI PROTOCOLLI INTERNET
- 52 - SICUREZZA IN INTERNET
- 53 - VALUTAZIONE DELLE PRESTAZIONI HARDWARE DI UN COMPUTER
- 54 - MIGLIORAMENTO DELLE PRESTAZIONI DI UN COMPUTER: GERARCHIA DI MEMORIE
- 55 - MIGLIORAMENTO DELLE PRESTAZIONI DI UN COMPUTER: PIPELINING, MULTICORE, GPU

PROGRAMMA DIDATTICO

*/**/* 1 - INTRODUZIONE ALLA PROGETTAZIONE DEI COMPUTER 2 - LA GERARCHIA DEI LINGUAGGI DI PROGRAMMAZIONE E I REGISTRI 3 - LE ISTRUZIONI ARITMETICHE DELL'ASSEMBLY MIPS 4 - NOTAZIONE POSIZIONALE PESATA 5 - NOTAZIONE IN COMPLEMENTO A 2 7 - FORMATO DI TIPO R PER ADD E SUB E INDIRIZZAMENTO TRAMITE REGISTRO 8 - LE ISTRUZIONI LOGICHE E DI SHIFT 9 - FORMATO DI TIPO I PER ADDI E INDIRIZZAMENTO IMMEDIATO 10 - ISTRUZIONI LW E SW ASSEMBLY MIPS E INDIRIZZAMENTO TRAMITE BASE E OFFSET 11 - FORMATO DI TIPO I PER LW E SW E GESTIONE DEL TIPO DI DATO ARRAY 12 - ISTRUZIONI DI SALTO CONDIZIONATO SU UGUAGLIANZA E DISUGUAGLIANZA 13 - ISTRUZIONE DI SALTO INCONDIZIONATO 15 - GESTIONE DELLA CHIAMATA DI PROCEDURA CON LE ISTRUZIONI JAL E JR 16 - ISTRUZIONI DI CONFRONTO E INTERI UNSIGNED 17 - OPERANDI IMMEDIATI E COSTANTI A 32 BIT 18 - CODIFICA DEI CARATTERI E TIPI DI DATO CARATTERE E STRINGA 19 - ISTRUZIONI LOAD E STORE PER BYTE E HALF WORD, E TIPI DI DATO INTERI 20 - GESTIONE DELL'ELEMENTO DI UN ARRAY CON INDICE VARIABILE 21 - ESERCIZI SULLA GESTIONE DEGLI ARRAY E DELLE STRINGHE IN ASSEMBLY MIPS 22 - NOTAZIONI IN VIRGOLA FISSA E VIRGOLA MOBILE 23 - STANDARD IEEE 754 PER LA VIRGOLA MOBILE IN SINGOLA E DOPPIA PRECISIONE 24 - ISTRUZIONI MIPS IN VIRGOLA MOBILE E NOTAZIONI OTTALE E ESADECIMALE 25 - COMPILATORI E JAVA VIRTUAL MACHINE 26 - ALGEBRA DI BOOLE E PORTE LOGICHE 27 - ESPRESSIONI E FUNZIONI BOOLEANE 28 - RETE COMBINATORIA E FUNZIONE CALCOLATA 29 - SINTESI DI UNA RETE COMBINATORIA 30 - MULTIPLEXER E DECODIFICATORE 31 - SOMMATORE COMPLETO E ALU A UN BIT PER AND, OR, ADD 32 - ALU A 32 BIT PER AND, OR, NOR, ADD, SUB 33 - ALU A 32 BIT PER BEQ E SEGNALE DI OVERFLOW 34 - RETE SEQUENZIALE E TEMPORIZZAZIONE 35 - INTRODUZIONE ALLA IMPLEMENTAZIONE DELLA CPU DELL'ARCHITETTURA MIPS 36 - CPU MIPS: PRELIEVO DELL'ISTRUZIONE E LETTURA DEI REGISTRI 37 - CPU MIPS: ISTRUZIONI ARITMETICO-LOGICHE DI TIPO R 38 - CPU MIPS: ISTRUZIONI DI TRASFERIMENTO DATI LW E SW 39 - CPU MIPS: ISTRUZIONE DI SALTO CONDIZIONATO SU UGUAGLIANZA BEQ 40 - UNITÀ DI CONTROLLO MIPS A CICLO SINGOLO 41 - DISPOSITIVI DI MEMORIZZAZIONE: LATCH E FLIP-FLOP 42 - IMPLEMENTAZIONE DEI REGISTRI DEL PROCESSORE 43 - INTRODUZIONE ALLE RETI DI CALCOLATORI 44 - ACCESSO A INTERNET 45 - TRASMISSIONE DEI DATI IN INTERNET 46 -

RITARDI NELLE RETI A COMMUTAZIONE DI PACCHETTO 47 - THROUGHPUT NELLE RETI DI CALCOLATORI 48 - INTERNET: UNA RETE DI RETI 49 - ARCHITETTURA A LIVELLI: SUITE DI PROTOCOLLI ISO/OSI E TCP/IP 50 - INCAPSULAMENTO NELLA SUITE DEI PROTOCOLLI INTERNET 51 - SICUREZZA IN INTERNET 52 - VALUTAZIONE DELLE PRESTAZIONI HARDWARE DI UN COMPUTER 53 - MIGLIORAMENTO DELLE PRESTAZIONI DI UN COMPUTER: GERARCHIA DI MEMORIE 54 - MIGLIORAMENTO DELLE PRESTAZIONI DI UN COMPUTER: PIPELINING, MULTICORE, GPU

OBIETTIVI FORMATIVI PER IL RAGGIUNGIMENTO DEI RISULTATI DI APPRENDIMENTO PREVISTI

Il corso ha lo scopo di fornire agli studenti gli strumenti per la comprensione del funzionamento del calcolatore e delle reti di calcolatori. Vengono presentate le problematiche connesse con la progettazione delle architetture dei calcolatori e delle reti, delineando le più comuni soluzioni con l'obiettivo di acquisire conoscenza delle metodologie di progetto e dell'analisi delle prestazioni.

ARCHITETTURE E RETI DI CALCOLATORI

/**/

Settore disciplinare

ING-INF/05

Anno di corso

Il Anno

Tipologia di attività formativa

Caratterizzante X

Base q

Affine q

A scelta studente q

Area CUN

Area 09 - Ingegneria industriale e dell'informazione

Numero di crediti

9

Eventuali propedeuticità

Nessuna

Metodologia di insegnamento

In teledidattica

ARCHITETTURE E RETI DI CALCOLATORI

Settore disciplinare

ING-INF/05

Anno di corso

II Anno

Tipologia di attività formativa

Caratterizzante X

Base q

Affine q

A scelta studente q

Area CUN

Area 09 - Ingegneria industriale e dell'informazione

Numero di crediti

9

Eventuali propedeuticità

Nessuna

Metodologia di insegnamento

In teledidattica

SETTORE DISCIPLINARE

ING-INF/05

H